

22390 U.S. PTO
10/761207

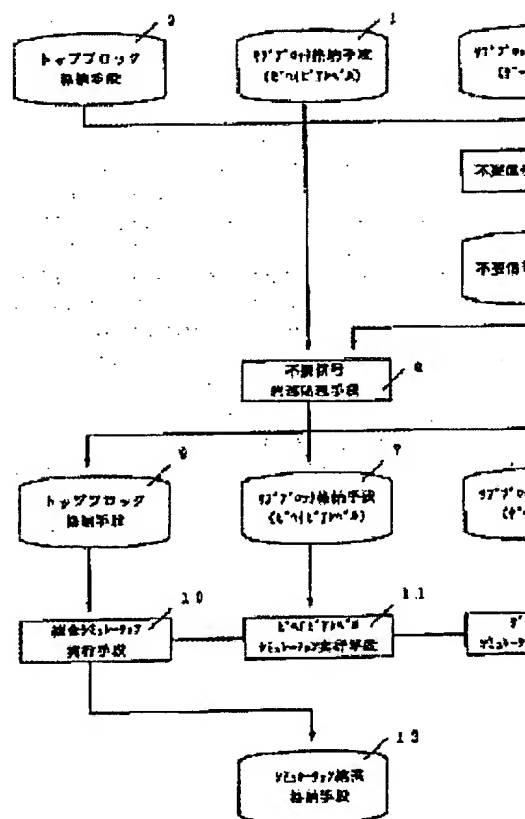
HIGH-SPEED INTEGRATED SIMULATION SYSTEM IN PLURAL SIMULATORS

Patent number: JP9179890
 Publication date: 1997-07-11
 Inventor: NARITA HIROKI
 Applicant: NEC CORP
 Classification:
 - international: G06F17/50
 - european:
 Application number: JP19950350130 19951223
 Priority number(s):

Abstract of JP9179890

PROBLEM TO BE SOLVED: To reduce the transmission/reception of data between simulations and to execute the simulation at high speed by using plural simulators corresponding to respective sub-blocks so as to execute the simulation as against a new simulation model which is generated by means of removing an extracted unrequired signal.

SOLUTION: A system is provided with sub-block storing means 1, 2, 7 and 8, top block storing means 3 and 9, an unrequired signal extracting means 4, an unrequired signal storing means 5, an unrequired signal internal processing means 6, an integrated simulation executing means 10, etc. Then, the signal which is not logically used in a top block and the signal which does not observe a simulation result are extracted and the simulation model where the extracted signals are removed from the interface signal of the respective sub-blocks is generated. The plural simulators corresponding to the respective sub-blocks are used and the simulation is executed as against the simulation model.



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A) (11) 特許出願公開番号
特開平9-179890
 (43) 公開日 平成9年(1997)7月11日

(51) Int. Cl.⁴ G 0 6 F 17/50 識別記号 片内整理番号 P I G 0 6 F 15/60 6 6 4 L 技術表示箇所

審査請求 有 請求項の数 3 P D (全 7 頁)

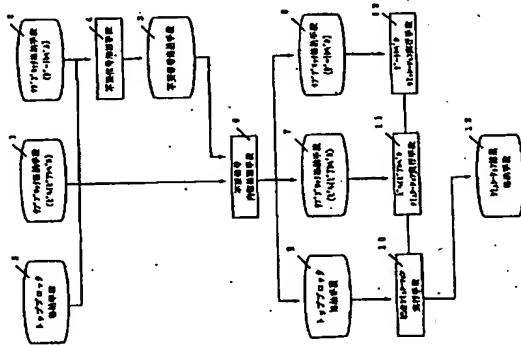
(21) 出願番号 特願平7-350130 (71) 出願人 000004237 日本電気株式会社
 (22) 出願日 平成7年(1995)12月23日 東京港区芝五丁目7番1号
 (72) 発明者 成田 安樹 東京港区芝五丁目7番1号 日本電気株式会社
 (74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 複数のシミュレータにおける高速結合シミュレーション方式

(57) 【要約】

【課題】 一つのモデルを分割した複数のサブブロックに対応した複数のシミュレータを用いてシミュレーションする際、シミュレータ間のデータの送受信を削減しシミュレーションを高速化する。

【解決手段】 トップブロックモデルより各サブブロックのインターフェース番号の中からトップブロックで使用する番号やシミュレーション結果を削減しない番号を抽出する手段と、不要番号を各サブブロックのインターフェース番号から削除し各サブブロックから外部に出ないようにする手段と、不要番号をインターフェース番号から削除した各サブブロックと各サブブロックの接続情報を記述したトップブロックに対してそれぞれ別のサブブロックに対応した複数のシミュレータを用いてシミュレーションを行う。



【特許請求の範囲】

【請求項1】 一つのシミュレーションモデルを複数のサブブロックに分割し、複数のシミュレータに割り当ててシミュレーションを行うシミュレーション方式において、

前記複数のサブブロックの各サブブロック間の接続情報を記述するトップブロックモデルより、前記各サブブロックのインターフェース番号の中から前記トップブロックで論理的に用いられない番号及び/又はシミュレーション結果を削減対象としない番号の番号を抽出する不要番号抽出手段と、

前記不要番号抽出手段により抽出された番号を、前記各サブブロックのインターフェース番号から削除して前記サブブロックから外部に出ないよう処理する不要番号処理手段と、

前記不要番号処理手段により作成された、前記トップブロックで用いられない番号及び/又はシミュレーション結果を削減対象とされない番号を、前記インターフェース番号から除いた、前記各サブブロックと、前記複数のサブブロックの各サブブロック間の接続情報を記述したトップブロックと、に対して、それぞれのサブブロックに対応した複数のシミュレータを用いてシミュレーションを行うシミュレーション実行処理手段と、
 高速結合シミュレーション方式。

【請求項2】 前記不要番号抽出手段が、前記不要番号抽出手段により抽出された番号（「不要番号」という）を前記インターフェース番号として番号する処理から削除すると共に、前記不要番号に出力が接続されているレベルの出力を、論理的に有意味とされない番号レベルに固定することを特徴とする請求項1記載の複数のシミュレータにおける高速結合シミュレーション方式。

【請求項3】 前記不要番号抽出手段が、前記トップブロックで用いられない番号及び/又はシミュレーション結果を削減対象とされない番号についてそれぞれ、該番号の番号名、該番号がインターフェース番号として接続されるサブブロック名、及び該番号が前記トップレベルで用いられない番号であるか、又は削減対象とされない番号であるかの種類と共に所定の記憶領域に格納することを特徴とする請求項1記載の複数のシミュレータにおける高速結合シミュレーション方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、一つのシミュレーションモデルを複数のサブブロックに分割し、複数のシミュレータに割り当ててシミュレーションする統合シミュレーション方式に関する。

【0002】

【従来の技術】 この種の従来の複数のシミュレータを使

用してなる統合シミュレーション方式においては、複数のシミュレータを、各シミュレータ毎に処理した全結果データを送受信しながら制御することにより行っている。

【0003】 また、特開平5-258002号公報には、ハードウェア記述言語、ゲートレベル回路記述等々異なる記述を処理するイベントドリブンシミュレータを任意に接続し、種々の記述が混在して表現されている回路記述をシミュレーションすることに適用し得る異種シミュレーションの同期実行制御方式として、従来の同期実行制御方式がデータの送受信をプロセス間通信で行っているため、プロセス内での同期呼び出しによる実行速度よりも遅くなり、イベントが発生しない時刻に同期をとることから、イベントが発生しない時刻については同期処理が無駄になるという問題を解消すべく、複数のシミュレータ（異種シミュレータ）間の全データの送受信と管理に相当する機能を隠蔽呼び出しで行い、シミュレータを単一プロセスで稼働することにより実現してなる異種シミュレータの同期実行制御方式が提案されている。

【0004】

【発明が解決しようとする課題】 上述した従来の複数のシミュレータを使用した統合シミュレーション方式は、各シミュレータ毎に処理したシミュレーションデータ全部を各シミュレータ間で送受信するため、シミュレータ間の送受信が多数発生し、全体のシミュレーション時間が増加する。データの送受信に要する時間が増加すると、高速度にシミュレーションが出来ない、という問題点を有している。

【0005】 一方、上記特開平5-258002号公報に提案される異種シミュレータの同期実行制御方式においても、シミュレーションデータの異種シミュレータ間の送受信数は変わらない。

【0006】 また、上記特開平5-258002号公報に提案される従来の方式においては、シミュレータ間のデータの送受信と管理に相当する機能を隠蔽呼び出しで行うことが必須とされており、このため既存のシミュレータを統合する場合には、シミュレータのソースコードレベルでの改造が必要となり、開発工数が増大すると共に、シミュレータに対して改造が困難（例えば管理シミュレータ等のソースコードが入手不可等の場合は改造は不可能）な場合は、この従来の方式は適用できない。

【0007】 従って、本発明は上記従来技術の問題点を鑑みて為されたものであって、シミュレータ間で発生するシミュレーションデータの送受信を必要最低限に削減することを可能として複数のシミュレータを用いた統合シミュレーションの高速化を達成する統合シミュレーション方式を提供することを目的とする。

【0008】

問題を解決するための手段】前記目的を達成するため、本発明は、一つのシミュレーションモデルを複数のサブプロックに分割し、各サブプロックに対応した複数のシミュレータを使用してシミュレーションする統合シミュレーションにおいて、各サブプロック間の接続情報

が記録されているサブプロックモデルより、各サブプロックのインタフェース番号の中からサブプロックで論理的に使用されていない番号やシミュレーション結果を削除しない番号を抽出する不要信号抽出手段と、該不要信号抽出手段により抽出された信号情報より、サブプロックで論理的に使用されていない番号、シミュレーション結果が削除されないサブプロックのインタフェース番号を、各サブプロックから外部に出ないよう

に処理する不要信号内部処理手段と、該不要信号内部処理手段により処理された、サブプロックにおいて不要なサブプロック間の接続を削除したシミュレーションモデルに対して、それぞれのサブプロックに対応した複数のシミュレーションを統合してシミュレーションを実行する統合シミュレーション実行手段と、を備えたことを特徴とする複数のシミュレータにおける高速統合シミュレーション方式を提供する。

【0009】
【作用】本発明は、上記構成のもと、抽出された不要信号を各サブプロックのインタフェース番号から削除した新たなシミュレーションモデルを作成し、この新たなシミュレーションモデルに対して、各サブプロックに対応した複数のシミュレーションを実行することにより、シミュレーション間で発生するシミュレーションデータの送受信数を削減し、複数のシミュレータを用いた統合シミュレーションの高速化を達成したものである。

【0010】
【発明の実施の形態】本発明の実施形態を図面を参照して以下に説明する。
【0011】図1は、本発明の一実施形態の構成を示す図である。
【0012】ここでは、図2に示すようなシミュレーションモデルに基づき、本発明の実施形態を説明する。
【0013】図2を参照して、信号A～Fをインタフェース番号とするビヘイビアレベル記述のサブプロックBEと、信号G～Lをインタフェース番号とするゲー

トレベル記述のサブプロックGAと、を、サブプロックP、(A-G)、(B-H)、(C-I)、(D-J)、(E-K)で信号を相互に接続している。
【0014】図2(a)に示すように、ビヘイビアレベルのサブプロックBEの仕様記述として、入力A、B、C、出力D、E、Fがインタフェース記述(宣言)欄に記述され、これらのインタフェース番号に対して、図2(a)の左に示すサブプロックの構成が、ビヘイビアレベルレベルで記述され、より詳細には、D<=A+

1 (入力Aに1加算するインクリメント出力がD)、E<=A+B (入力A、Bの加算器で出力がE)、F<=B-C (入力A、Bの減算器で出力がF)、が記述されている。

【0015】なお、図2に示すビヘイビアレベル、ゲー

トレベル、トップレベルの回路記述におけるサブプロックは、説明を容易とするために要素を示したものであり、特定のハードウェア記述言語の文法に正確に準拠したものでない。

【0016】一方、図2(b)に示すように、ゲー

トレベル記述のサブプロックGAには、ライブラリ等に基づき単位として登録されている、第1及び第2の入力端子をIN1、IN2とし出力がOUTとするANDゲート(A)、ORゲート(B)、インバータゲート(C)、及びインバータ(D)が記述され、ANDゲート(A)の第1の入力端子とORゲート(B)の第1の入力端子は信号「J」に接続され、ANDゲート(A)の第2の入力端子とORゲート(B)の第2の入力端子は信号Kに接続され、ANDゲート(A)の出力はインバータ(C)の入力に接続されると共に、信号Gに接続され、ORゲート(B)の出力はインバータ(D)の入力に接続され、信号Hに接続され、インバータ(C)の出力は信号Iに接続され、インバータ(D)の出力は信号Jに接続される。

【0017】図2(c)に示すように、サブプロックにおいて、ビヘイビアレベル記述のサブプロックBEの信号Fは論理的に使用しない番号であり、ゲー

トレベル記述のサブプロックGAの信号Jはシミュレーション結果を削除しない番号である。
【0018】このようなシミュレーションモデルに対して、ビヘイビアレベルのシミュレータとゲー

トレベルのシミュレータを用いて統合シミュレーションを行う例を以下に説明する。
【0019】図1を参照して、サブプロック格納手段1には、例えば図2に示した(A～F)信号をインタフェース番号とするビヘイビアレベル記述のサブプロックが格納されており、サブプロック格納手段2には、例えば図2に示した(G～L)信号をインタフェース番号とするゲー

トレベル記述のサブプロックGAに対しては、信号(L)をインタフェース番号から削除したモデル、具体的には、図4(b)に示すように、信号(L)をインタフェースを宣言しているところから削除し、信号(L)に出力しているインバータD [NOT] の出力信号(OUT)を論理的には意味を持たないローレベルな信号(GND)に代入したモデル(GND<=B-C)をサブプロック格納手段7に格納する。
【0022】サブプロック格納手段2に格納されているゲー

トレベル記述のサブプロックGAに対しては、信号(L)をインタフェース番号から削除したモデル、具体的には、図4(b)に示すように、信号(L)をインタフェースを宣言しているところから削除し、信号(L)に出力しているインバータD [NOT] の出力信号(OUT)を論理的には意味を持たないローレベルな信号(GND)に代入したモデル(GND<=B-C)をサブプロック格納手段7に格納する。
【0023】統合シミュレーション実行手段10は、ト

ッププロック格納手段9に格納されているサブプロック情報により、サブプロック格納手段7に格納されているビヘイビアレベル記述のサブプロックに対してはビヘイビアレベル記述のサブプロックに対してはゲー

トレベル記述のサブプロックに対してはゲー

トレベル記述のサブプロックに対してはゲー

トレベル記述のサブプロックに対してはゲー

トレベル記述のサブプロックに対してはゲー

う方式を採用したシミュレーションに対しては適用することができるとは勿論である。

【図面の簡単な説明】

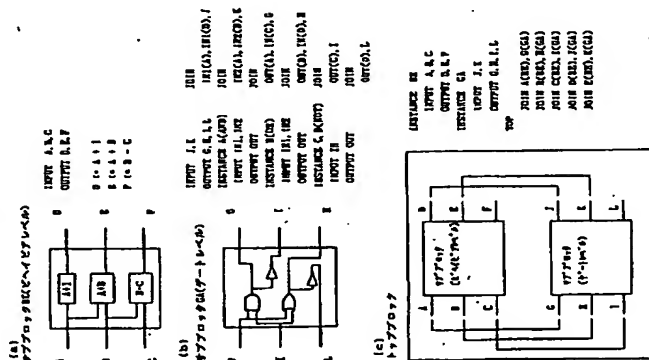
【図1】本発明の一実施形態の構成を示す図である。
【図2】本発明の一実施形態の説明で参照する図であり、(a)はビヘイビアレベルのサブブロック、(b)はゲートレベルのサブブロック、(c)はトップブロックの一例を示す図である。
【図3】本発明の一実施形態の説明するための図であり、図2のトップブロックで論理的に使用されていないシミュレーション結果を観測しないサブブロック(ビヘイビアレベル、ゲートレベル)のインターフェース信号を抽出した不要信号の一例を示す図である。
【図4】本発明の一実施形態の説明で参照する図であり、図2のサブブロック(ビヘイビアレベル)、サブブロック(ゲートレベル)、トップブロックに対して、図

3に示す不要信号を各サブブロックから外部に出さないように処理した一例を示す図である。

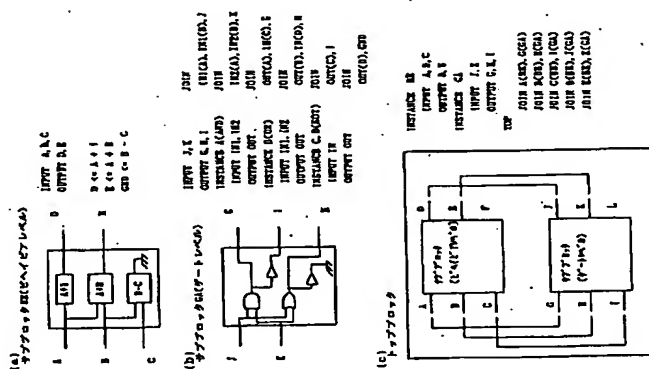
【符号の説明】

- 1 サブブロック格納手段(ビヘイビアレベル)
- 2 サブブロック格納手段(ゲートレベル)
- 3 トップブロック格納手段
- 4 不要信号抽出手段
- 5 不要信号格納手段
- 6 不要信号内部処理手段
- 7 サブブロック格納手段(ビヘイビアレベル)
- 8 サブブロック格納手段(ゲートレベル)
- 9 トップブロック格納手段
- 10 統合シミュレーション実行手段
- 11 ビヘイビアレベルシミュレーション実行手段
- 12 ゲートレベルシミュレーション実行手段
- 13 シミュレーション結果格納手段

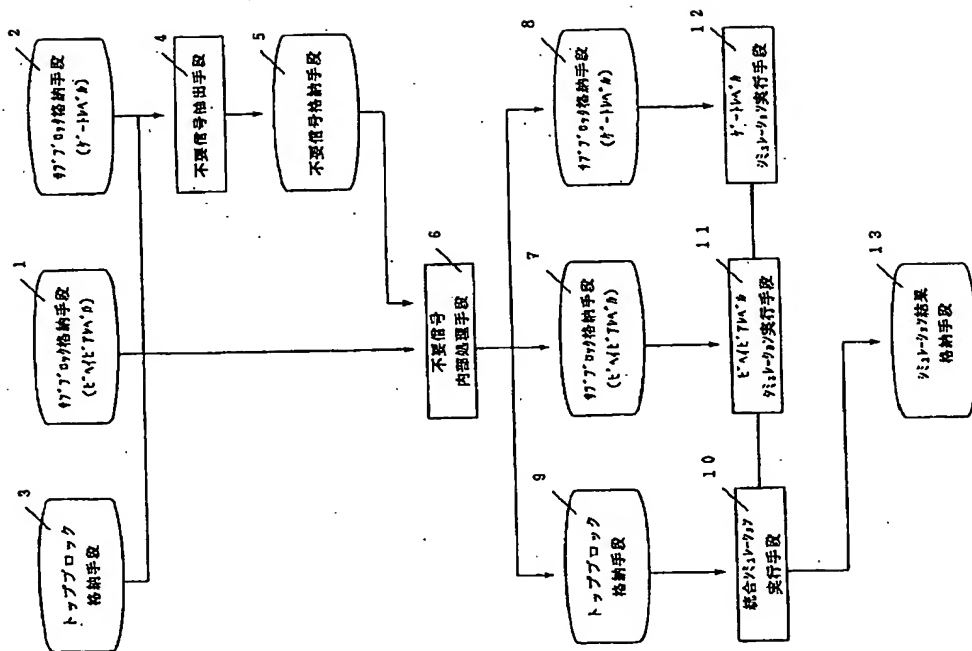
【図2】



【図4】



【図1】



(7)

特開平09-179890

【図3】

信号名	サブプロック名	種類
F	BE(1 st 4LE71A th)	論理的に未使用
L	GL(1 st 1W th)	レジスタの結果を 置かない